

## ⑫ 公開特許公報(A)

昭63-58959

⑬ Int. Cl. <sup>4</sup>	識別記号	庁内整理番号	⑭ 公開	昭和63年(1988)3月14日
H 01 L 27/10	3 2 5	J-8624-5F		
27/04		C-7514-5F		
29/78	3 0 1	M-8422-5F	審査請求	未請求 発明の数 1 (全3頁)

⑮ 発明の名称 キヤパシタを有する電界効果型半導体装置

⑯ 特 願 昭61-204504

⑰ 出 願 昭61(1986)8月29日

⑱ 発 明 者 貞 廣 茂 樹 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

キヤパシタを有する電界効果型半導体装置

## 2. 特許請求の範囲

(1) 第1導電形式の半導体基板と、

前記半導体基板に形成される前記第1導電形式と逆形式の第2導電形式の第1の半導体領域と、

前記半導体基板に形成される前記第1導電形式と逆形式の第2導電形式の第2の半導体領域と、

前記第1の半導体領域と前記第2の半導体領域との間の前記半導体基板の上に形成される制御絶縁膜と、

前記制御絶縁膜上に形成される制御電極と、

前記第2の半導体領域の上に形成されるキヤパシタ制御絶縁膜と、

前記キヤパシタ制御絶縁膜の上に形成されるキヤパシタ制御電極と、

前記半導体基板表面を覆う層間絶縁膜とを備えたキヤパシタを有する電界効果型半導体装置であって、

前記キヤパシタ制御絶縁膜をシリコンオキシナイトライドで形成することを特徴とする、キヤパシタを有する電界効果型半導体装置。

(2) 前記シリコンオキシナイトライドは、減圧化学気相成長法(LPCVD法)によって形成される、特許請求の範囲第1項記載のキヤパシタを有する電界効果型半導体装置。

## 3. 発明の詳細な説明

[産業上の利用分野]

この発明は半導体装置に関し、特にキヤパシタを有する電界効果型半導体装置の構造に関するものである。

[従来の技術]

第2図は従来のたとえばMOSダイナミックRAMのメモリセル構造を示した断面図である。

図において、たとえばp型シリコン基板1にn型拡散層2a、2bが形成され、n型拡散層2aとn型拡散層2bとの間のp型シリコン基板1上にトランジスタゲート絶縁膜6さらにトランジスタゲート電極8が形成される。

一方、n型拡散層2b上にはキャパシタゲート絶縁膜としてシリコン酸化膜10、さらにその上にキャパシタゲート電極7が形成される。また、n型拡散層2aには外部との接続用のビット線9が接続され、素子同志の分離は素子分離用酸化膜3によってなされる。素子部と外部との絶縁はビット線9取付部を除き、層間絶縁膜4を形成することによって絶縁保護される。

次に動作について説明する。

トランジスタゲート電極8に所定以上の電圧を印加すると、ソース電極となるn型拡散層2aとドレイン電極となるn型拡散層2bとの間にn型反転層が形成される。この反転層（チャンネル領域）を通して電荷をビット線9からn型拡散層2aを介してn型拡散層2bへ移動させる。このとき、情報の記憶としてのこの電荷は、キャパシタを構成するキャパシタゲート電極7、シリコン酸化膜10およびn型拡散層2bの中のシリコン酸化膜10に蓄えられる。

したがって、情報の記憶動作はシリコン酸化膜

10の十分なキャパシタ容量を確保することによって可能となる。

〔発明が解決しようとする問題点〕

半導体記憶装置は一般に上記のような構成になっており、記憶動作に対しては特にキャパシタ絶縁膜が重要である。従来、このキャパシタゲート絶縁膜等のゲート絶縁材料は上記のようにシリコン酸化膜が使用されている。キャパシタ絶縁膜のキャパシタ容量はその面積に比例し、その膜厚に反比例するが、近年高集積化を意図する半導体装置にあつては、その面積の縮小が余儀なくされ、それに見合つてキャパシタゲート絶縁膜を薄くする必要がある。ところがシリコン酸化膜は信頼性の面で薄膜化の限界に到達しつつあり、半導体装置の高集積化によって不具合となる問題点を有していた。

この発明はかかる問題点を解決するためになされたもので、高集積化された半導体装置にあつても、記憶動作に必要なかつ十分なキャパシタ容量を確保するとともに、その動作に高い信頼性を持つ

キャパシタを有した半導体装置を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係る半導体装置は、キャパシタゲート絶縁膜にシリコンオキシナイトライドを使用するものである。

〔作用〕

この発明においては、キャパシタゲート絶縁膜がシリコン酸化膜より高い誘電率、薄膜化特性および下地形状の対応性を有したシリコンオキシナイトライドで形成されるので、十分なキャパシタ容量および高信頼度を有した半導体装置となる。

〔発明の実施例〕

第1図はこの発明の一実施例を示す構造断面図である。図において符号1～4および6～9は従来装置と同一である。この発明においては、キャパシタゲート絶縁膜としてシリコンオキシナイトライド膜5をLPCVD法により形成する。シリコンオキシナイトライド膜5は酸化膜と窒化膜との中間の性質を持ち、反応ガス流量比（NH<sub>3</sub>/

N<sub>2</sub>O）を適当に設定することにより、誘電率およびリーク電流特性等を上記2種類の膜の属性の範囲内で任意に変化させることができる。したがってLPCVD法を利用すると、薄膜化特性に優れているので個々の半導体装置に要求される仕様を満足させ、かつ信頼性を向上させ得るようにキャパシタゲート絶縁膜の形成条件を最適化することができる。

また、上記実施例では単結晶シリコン上の平面構造キャパシタの場合について説明したが、溝構造キャパシタおよび多結晶シリコン上キャパシタ等の熱酸化によっては、高信頼性が要求される絶縁膜形成が難しい構造、材質についてもLPCVD法によるシリコンオキシナイトライドの形成が有効であるのは言うまでもない。

〔発明の効果〕

この発明は以上説明したとおり、キャパシタゲート絶縁膜にLPCVD法によるシリコンオキシナイトライドを形成したので、従来のシリコン酸化膜に比して高い誘電率および薄膜化特性を有し、

しかも下地形状の対応性に優れているため十分な容量および高信頼度を有したキャパシタを得る効果がある。

#### 4. 図面の簡単な説明

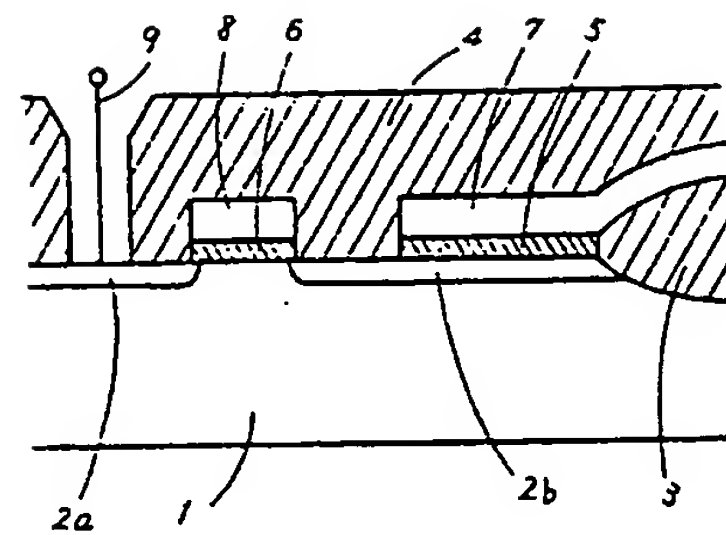
第1図はこの発明の一実施例を示す構造断面図であり、第2図は従来のMOSダイナミックRAMのメモリセル構造を示した断面図である。

図において1はp型シリコン基板、2はn型シリコン基板、3は素子分離用酸化膜、4は層間絶縁膜、5はシリコンオキシナイトライド膜、6はトランジスタゲート絶縁膜、7はキャパシタゲート電極、8はトランジスタゲート電極である。

なお、各図中同一符号は同一または相当部分を示す。

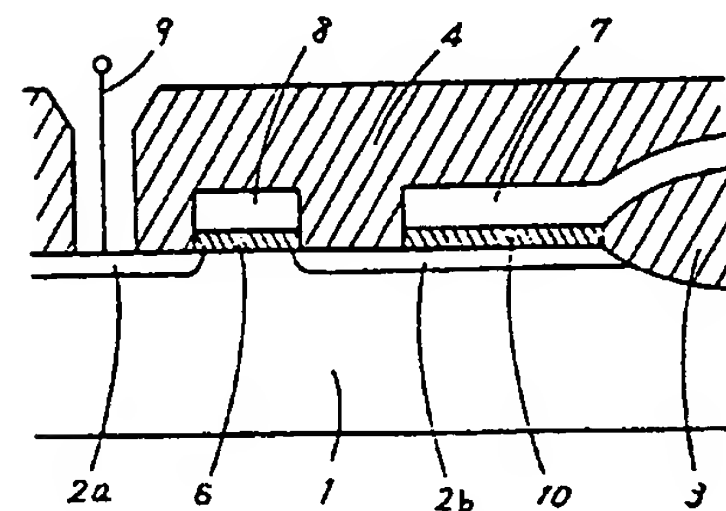
代理人 大岩増雄

第1図



- 1: P型シリコン基板
- 2a: n型拡散層
- 2b: n型拡散層
- 3: 素子分離用酸化膜
- 4: 層間絶縁膜
- 5: シリコンオキシナイトライド膜
- 6: トランジスタゲート絶縁膜
- 7: キャパシタゲート電極
- 8: トランジスタゲート電極
- 9: ビット線
- 10: シリコン酸化膜

第2図



#### 手続補正書(自発)

昭和62年6月22日  
通

特許庁長官殿

1. 事件の表示 特願昭61-204504号
2. 発明の名称  
キャパシタを有する電界効果型半導体装置
3. 補正をする者

事件との関係 特許出願人  
住所 東京都千代田区丸の内二丁目2番3号  
名称 (601)三菱電機株式会社  
代表者 志岐守哉

4. 代理人  
住所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏名 (7375)弁理士 大岩増雄  
(連絡先03(213)3421特許部)

#### 5. 補正の対象

明細書の発明の詳細な説明の欄および図面の簡単な説明の欄

#### 6. 補正の内容

(1) 明細書第3頁第18行ないし第19行の「シリコン酸化膜10」を「n型拡散層2bの表面」に訂正する。

(2) 明細書第7頁第8行ないし第9行の「2はn型シリコン基板」を「2はn型拡散層」に訂正する。

以上

